

Atty. Docket No. OPP 031367 US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF: , :

Kang-Hyun LEE : GROUP ART UNIT:

SERIAL NO: NEW APPLICATION :

FILED: HEREWITH : EXAMINER:

FOR: METHOD FOR FABRICATING METAL LINE OF SEMICONDUCTOR DEVICE

I hereby certify that this document is being deposited with the United States Postal Service as Express Mail No. EU190172579US in an envelope addressed to Commissioner for Patents, Mail Stop Patent Application, Washington, D.C. 20231, on December 5, 2003.

By: \_\_\_\_\_



Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0083530	December 24, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.  
Reg. No. 34,600

7257 N. Maple Avenue, Suite 107  
Fresno, California 93720  
(559) 299-0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0083530  
Application Number

출원 년 월 일 : 2002년 12월 24일  
Date of Application DEC 24, 2002

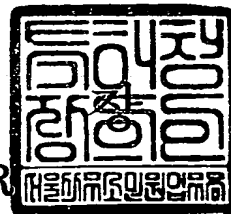
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 27 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0008  
**【제출일자】** 2002.12.24  
**【발명의 명칭】** 산화막을 이용한 메탈라인 형성방법  
**【발명의 영문명칭】** Metal Line Fabricating Method by Using Deposition of Oxide Film  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 서만규  
**【대리인코드】** 9-1998-000260-4  
**【포괄위임등록번호】** 2001-066005-7  
**【발명자】**  
**【성명의 국문표기】** 이강현  
**【성명의 영문표기】** LEE, Kang Hyun  
**【주민등록번호】** 650918-1009717  
**【우편번호】** 449-845  
**【주소】** 경기도 용인시 수지읍 죽전리 대진2차 103동 706호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)  
**【수수료】**  
**【기본출원료】** 11 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 제조에서 산화막을 이용하여 메탈라인을 형성하는 방법에 관한 것으로, 제1산화막, 다수의 메탈층, 반사방지막, 및 소정크기의 창을 갖는 포토레지스트막을 적층하는 단계; 포토레지스트막의 상부 및 창에 제2산화막을 적층하는 단계; 및 창을 측벽에 형성된 제2산화막을 마스크로 이용하여 창을 제1산화막까지 에칭하는 단계로 구성된다.

**【대표도】**

도 2b

**【명세서】****【발명의 명칭】**

산화막을 이용한 메탈라인 형성방법{Metal Line Fabricating Method by Using Deposition of Oxide Film}

**【도면의 간단한 설명】**

도1a 내지 1c는 종래의 메탈라인을 형성하는 방법, 그리고

도2a 내지 2c는 본 발명에 따른 메탈라인의 형성방법을 도시하고 있다.

-도면의 주요부분에 대한 부호의 설명-

11: 산화막 12: 하부메탈

13: 중앙메탈 14: 상부메탈

15: 유기 반사방지막 16: 포토레지스트막

21: PE 산화막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체소자의 제조방법에 관한 것으로, 포토레지스트의 높이를 감소시키고 스페이서 CD를 증가시켜 포토 마진을 향상시킬 수 있는 산화막을 이용한 메탈라인 형성방법에 관한 것이다.

- <9> 메탈라인을 형성하는 데 있어서 가장 큰 어려움은 건식에칭 공정이 포토레지스트와 선택비가 좋지 않다는 점이다. 이런 이유로, 포토 공정시 포토레지스트의 높이를 보통 메탈 높이의 2.5배 이상으로 하고 있다.
- <10> 도1a 내지 1c는 종래의 메탈라인을 형성하는 방법을 도시하고 있다.
- <11> 도1a에서, 산화막(11) 상에 TiN/Ti로 구성되는 하부메탈(12)이 적층되고, 하부메탈(12) 위에 Al-Cu의 중앙메탈(13), 그리고 중앙메탈(13) 상에 TiN/Ti로 구성되는 상부메탈(14)이 적층되어 있다. 그리고, 상부메탈(14) 위에 유기 반사방지막(15)이 적층되고, 포토패터닝에 의하여 소정 크기의 창이 형성된 포토레지스트막(16)이 도포되어 있다. 여기서, 창 의 CD는 0.23  $\mu\text{m}$  이하로 유지되고, 포토레지스트막(16)의 두께는 9500 Å이다. 이는, 건식에칭시에 포토레지스트와의 선택비를 고려하기 때문인데, 포토레지스트막(16)은 보통 9000 Å 이상으로 하여야 한다.
- <12> 도1b에서, 건식에칭에 의하여 유기 ARC(15), 상부메탈(14), 중앙메탈(13), 및 하부메탈(12)를 차례로 에칭하여, 산화막(11)의 상부면이 노출되게 한다.
- <13> 도1c에서, 애싱공정에 의하여 포토레지스트막(16)을 제거하고, 유기 ARC층(15)을 벗겨냄으로써, 메탈라인을 형성하기 위한 홀이 완성된다.
- <14> 그런데, 이러한 공정에서, 포토레지스트의 높이와 포토마진 사이에는 다음과 같은 문제점이 있다. 즉, 포토레지스트의 높이를 크게 하면 부수적으로 포토 마진이 감소되어 랜덤성 메탈 브릿지 현상이 자주 발생하고, 반대로 포토 마진을 높이기 위하여 포토레지스트의 높이를 낮추면 건식에칭시 포토 마진이 부족하여 노칭(notching) 현상이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명은 이러한 문제를 해결하기 위한 것으로, 에칭후 메탈라인의 최소 CD에는 영향을 끼치지 않으면서 포토레지스트의 높이 감소 및 스페이서 CD 증가를 가능케 하여, 결과적으로 포토 마진을 향상시킬 수 있는 메탈라인 형성방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<16> 이러한 목적을 달성하기 위하여 본 발명은 창이 형성된 포토레지스트막 위에 산화막을 도포한 후 메탈라인을 에칭함으로써, 포토마진을 향상시키는 메탈라인 형성방법을 제공한다.

<17> 이하, 첨부도면을 참조하여 본 발명을 상세히 설명한다.

<18> 도2a 내지 2c는 본 발명에 따른 메탈라인의 형성방법을 도시하고 있다.

<19> 도2a에서, 산화막(11) 상에 TiN/Ti로 구성되는 하부메탈(12)이 적층되고, 하부메탈(12) 위에 Al-Cu의 중앙메탈(13), 그리고 중앙메탈(13) 상에 TiN/Ti로 구성되는 상부메탈(14)이 적층된다. 여기서, 하부메탈(12)은 캡핑층(capping layer)로서 기능하며, 상부메탈(14)은 베리어층(barrier layer)으로 기능한다. 그리고, 상부메탈(14) 위에 유기 반사방지막(15)이 적층되고, 포토패터닝에 의하여 소정 크기의 창이 형성된 포토레지스트막(16)이 도포된다. 여기서, 창의 CD는  $0.26\mu\text{m}$  이하로 유지되고, 포토레지스트막(16)의 두께(H2)는  $9000\text{\AA}$  이하로 한다. 이는, 건식에칭시의 선택비에 의하여 결정되는 값으로서, 후 공정인 산화막 도포공정으로 인하여 포토레지스트막(16)의 두께를  $9500\text{\AA}$ 에서  $9000\text{\AA}$ 으로 감소시킬 수 있고, 따라서, 창의 CD가  $0.23\mu\text{m}$ 에서  $0.26\mu\text{m}$ 로 증가될 수 있다.

<20> 도2b에서, 창이 형성된 포토레지스트막(16)을 산화막(21)으로 도포한다. 여기서, 산화막(21)은 PE 계열의 옥사이드이며, 두께는 180 내지 230  $\text{\AA}$ 으로 적층하며, 바람직하게는 200  $\text{\AA}$

으로 적층한다. 이와같이, PE 계열의 옥사이드를 이용하는 것은 포토레지스트의 패터닝에 영향을 미치지 않도록 하기 위함이다.

<21> 도2c에서, PE산화막(21)을 마스크로 이용하여, 창에 집중적으로 건식에칭을 행하면, 창의 PE산화막(21), 유기 ARC(15), 상부메탈(14), 중앙메탈(13), 및 하부메탈(12)를 차례로 에칭하여, 산화막(11)의 상부면이 노출되게 한다. 여기서, 건식에칭은 플라즈마 에칭으로서, C12/BC13 가스를 사용한다.

<22> 한편, 창을 형성하는 포토레지스트막(16)의 측벽에 적층된 PE산화막(21)의 두께에 의하여, 상부, 중앙, 및 하부메탈의 에칭 폭이 결정된다. 즉, 포토레지스트막(16)의 창 CD는 0.26  $\mu\text{m}$ 로 형성되었으나, 측벽에 형성된 PE산화막(21)의 두께에 의하여 에칭폭이 0.23  $\mu\text{m}$ 으로 유지된다.

<23> 다음단계(미도시)에서, 애싱공정 등에 의하여 PE산화막(21) 및 포토레지스트막(16)을 제거하고, 유기 ARC층(15)을 벗겨냄으로써, 메탈라인을 형성하기 위한 홀이 완성된다.

<24> 한편, 홀의 폭을 결정하는 측벽의 PE산화막은 에칭이 완료된 후에도, 후속 공정의 여러 적층공정에 영향을 끼치지 않는다.

### 【발명의 효과】

<25> 이러한 공정에 의하여 메탈라인을 형성하면, 에칭후 메탈라인의 최소 CD에는 영향을 끼치지 않으면서도 포토레지스트의 높이를 낮출 수 있고 또한 포토레지스트창의 스페이서 CD를 증가시킬 수 있다. 그 결과, 포토공정에서 포토 마진을 크게 향상시켜 디바이스의 특성 향상을 이룰 수 있고, 메탈 브릿지를 개선하여 수율을 향상시킬 수 있다.



**【특허청구범위】****【청구항 1】**

반도체소자의 제조에서 메탈라인을 형성하는 방법에 있어서,

제 1산화막, 다수의 메탈층, 반사방지막, 및 소정크기의 창을 갖는 포토레지스트막을 적층하는 단계;

상기 포토레지스트막의 상부 및 창에 제2산화막을 적층하는 단계; 및

상기 창의 측벽에 형성된 제2산화막을 마스크로 이용하여 상기 창을 제1산화막까지 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 메탈라인 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 제2산화막 적층단계는

PE계열의 옥사이드를 적층하는 것을 특징으로 하는 반도체소자의 메탈라인 형성방법.

**【청구항 3】**

제2항에 있어서, 상기 에칭단계는

C12/BC13 가스를 이용하는 건식에칭인 것을 특징으로 하는 반도체소자의 메탈라인 형성방법.

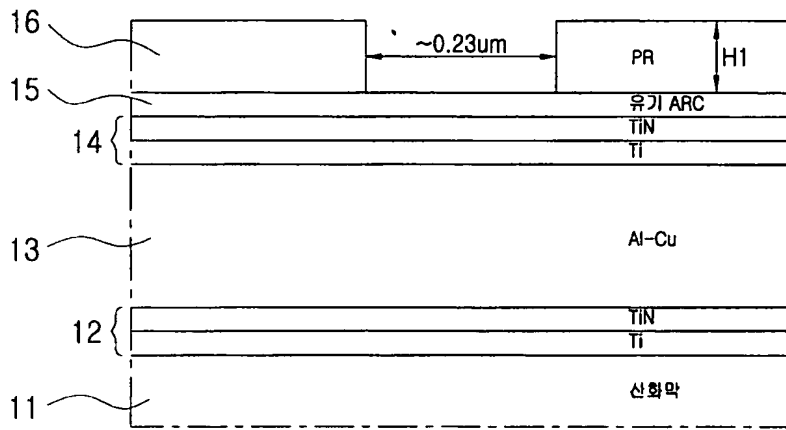
**【청구항 4】**

제2항 또는 제3항에 있어서, 상기 제2산화막 적층단계는

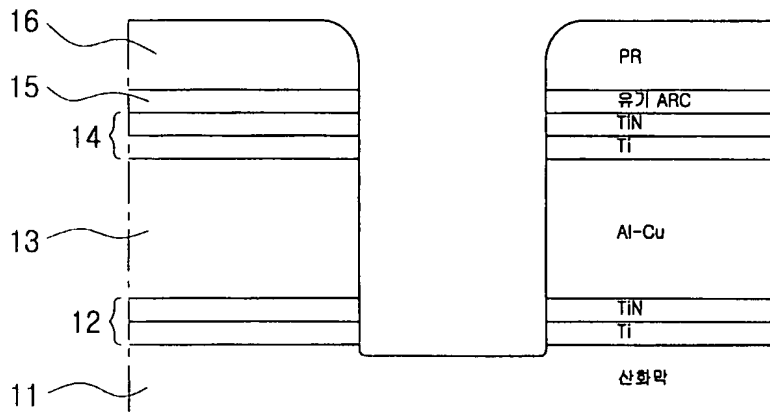
180 내지 230 Å의 두께로 적층되는 것을 특징으로 하는 반도체소자의 메탈라인 형성방법.

## 【도면】

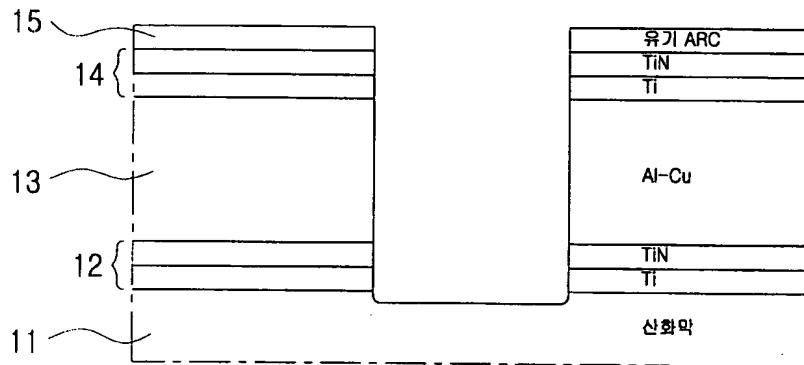
【도 1a】



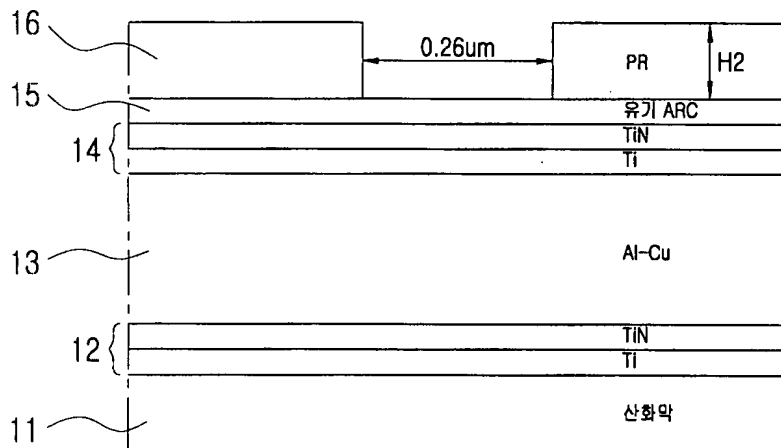
【도 1b】



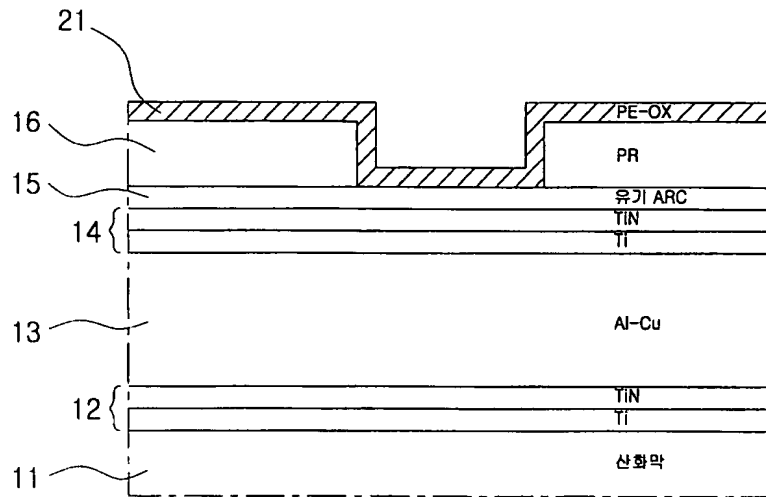
【도 1c】



【도 2a】



【도 2b】



【도 2c】

